

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-174113

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

G01R 31/26

(21)Application number : 09-342835

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 12.12.1997

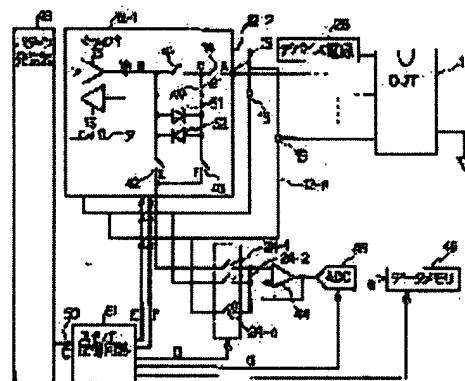
(72)Inventor : HASHIMOTO YOSHIHIRO

## (54) CIRCUIT FOR MEASURING CURRENT OF IC TESTER BASED ON IMPRESSED VOLTAGE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a current measuring circuit on impressing voltage for use in testing, e.g. whether or not a leak current flows to an input pin of a logic IC element comprising a CMOS.

**SOLUTION:** A current detection resistor 21 is inserted in series to the output side of a driver 13 used at a function test, and a switch 41 is connected in parallel to the resistor 21. The switch 41 is turned on at the function test. When presence/absence of an input lead of a CMOS device 11 is to be measured, the switch 41 is turned off, switches 42, 43 are turned on sequentially, and a voltage at both ends of the resistor 21 is detected by an AD converter 45. This operation is carried out for a block 12-1 to 12-n corresponding to each pin. A difference of voltage at both ends of the resistor of each block is obtained, thereby detecting the presence/absence, a size of the input leak.



## LEGAL STATUS

[Date of request for examination] 07.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3392029

[Date of registration] 24.01.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-174113

(43)公開日 平成11年(1999)7月2日

(51) Int.Cl.<sup>8</sup>

識別記号

FI

G O I R 31/26

G O 1 R 31/26

B

**G**

審査請求 未請求 請求項の数2 OL (全 5 頁)

(21)出願番号 特願平9-342835

(22)出願日 平成9年(1997)12月12日

(71)出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72)発明者 橋本 好弘

東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

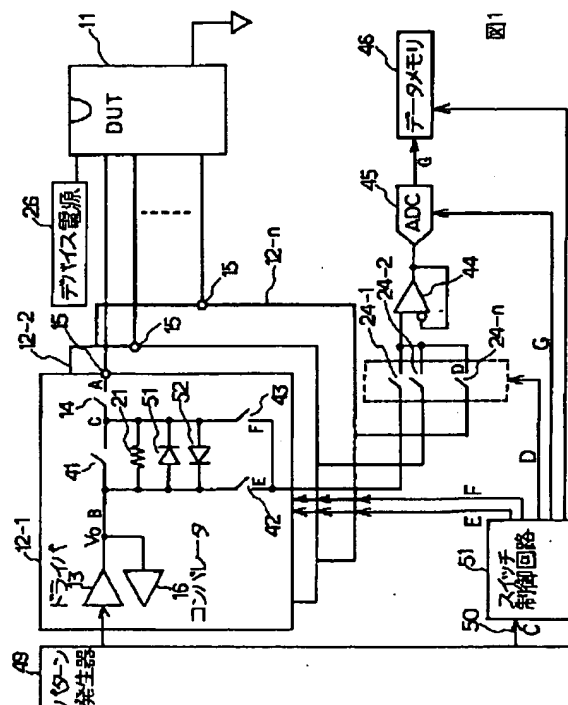
(74)代理人 弁理士 草野 卓 (外1名)

(54) 【発明の名称】 ICテストの電圧印加電流測定回路

(57) 【要約】

【課題】 電圧印加電流測定回路を省略する。

【解決手段】 ファンクション試験時に用いるドライバ 13 の出力側に電流検出抵抗 21 を直列に挿入し、抵抗 21 と並列にスイッチ 41 を接続し、ファンクション試験時には、スイッチ 41 をオンとし、CMOS デバイス 11 の入力リークの有無を測定時には、スイッチ 41 をオフとし、スイッチ 42、43 を順次オンとして、抵抗 21 の両端の各電圧を AD 変換器 45 で検出し、これを各ピン対応ブロック 12-1~12-n について行った所、各ブロックの抵抗両端の各電圧の差をとって、入力リークの有無、大きさを求める。



## 【特許請求の範囲】

【請求項1】 被試験IC素子の端子へテストパターンを印加するドライバの出力側にこれと直列に挿入された電流検出抵抗素子と、

その電流抵抗素子の両端間に接続された第1スイッチと、

入力電圧値をデジタルデータに変換するAD変換器と、上記電流検出抵抗素子の両端と上記AD変換器の入力端との間にそれぞれ接続された第2及び第3スイッチと、上記第1スイッチをオフとし、上記被試験IC素子へ電圧を印加し、上記第2スイッチをオン、第3スイッチをオフとして上記AD変換器の出力データを求め、上記第2スイッチをオフ、上記第3スイッチをオンとして上記AD変換器の出力データを求め、これら両出力データの差を求めて上記電流検出抵抗素子に流れる電流を得る手段と、

を具備するICテストの電圧印加電流測定回路。

【請求項2】 上記被試験IC素子の各端子ごとの上記ドライバの出力側に直列に挿入された電流抵抗素子の両端に接続された第2、第3スイッチと、上記AD変換器との間にそれぞれ挿入された複数のピン選択スイッチを備えることを特徴とする請求項1記載のICテストの電圧印加電流測定回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は例えばCMOSよりなるロジックIC素子の入力ピンにリーク電流が流れるか否かの試験に利用される電圧印加電流測定回路に関する。

## 【0002】

【従来の技術】ICテストにおいて、被試験IC素子に変化する電圧を印加し、出力がどのようになるかを測定するファンクション（機能）試験は、被試験IC素子の各ピンごとに、その試験を高速に行うことができるようにされている。CMOS ICの特徴は入力電流が小乃至は零であるが、その試験には、微小電流測定回路が必要であり、またその回路は一般に応答が遅いため、通常はファンクション試験とは別に行っていた。従来の微小電流測定回路を図3Aに示す。

【0003】被試験IC素子（DUT）11のピンごとに、入出力ブロック12-1、12-2、…、12-nが設けられ、各ブロックには、ドライバ13の出力端がスイッチ14を介して入出力端15に接続され、ドライバ13の出力端とスイッチ14の接続点はコンパレータ16の入力端に接続されている。更に電圧印加電流測定

回路17として、DA変換器18の出力端がバッファ回路19の非反転入力端に接続され、バッファ回路19の出力端は電流検出抵抗素子21を通じ、更にスイッチ22を通じて入出力端15に接続され、抵抗素子21とスイッチ22の接続点はバッファ回路19の反転入力端に接続され、バッファ回路19の非反転入力端と出力端は差動増幅器23を通じ、更にブロックごとのスイッチ24-i（i=1, 2, …, n）を通じてAD変換器25に接続される。

【0004】被試験IC素子11の電源端子ピンには動作電源26が接続される。電圧印加電流測定時には、ブロック12-1～12-nの各入出力端はそれぞれ被試験IC素子11の対応ピンに接続され各ブロックのスイッチ14をオフ、スイッチ22をオンとし、DA変換器18に試験電圧に対応したデジタル値を設定入力し、その出力試験電圧を被試験IC素子11の各ピンに印加する。この時、流れる電流に対応して発生する電流検出抵抗素子21の両端間の電圧が差動増幅器23で検出され、スイッチ24-1～24-nを順次オンとすることにより、そのオンとされたブロック、つまり被試験IC素子11のピンの入力電流と対応した電圧がAD変換器25よりデジタルデータとして得られる。

【0005】差動増幅器23は、実際には例えば図3Bに示すように構成されている。反転入力端子27はバッファ28を通じ更に抵抗素子29を通じて差動増幅器31の反転入力端に接続され、非反転入力端32は抵抗素子33を通じて差動増幅器31の非反転入力端に接続され、この非反転入力端は抵抗素子34を通じて接地され、差動増幅器31の反転入力端子と出力端との間に抵抗する35が接続される。

## 【0006】

【発明が解決しようとする課題】差動増幅器39には、同相信号除去比、つまり入力端子27、32に同相成分で入力された信号を除去する割合の特性を考慮する必要があり、この同相信号除去比がよくないと、正しく入力電流を測定することができない。この同相信号除去比は抵抗素子29、33、34、35の抵抗値の誤差により影響される。

【0007】抵抗素子29、33、34、35の各抵抗値をそれぞれ、R1、R2、R3、R4とし、各抵抗素子の抵抗値に誤差 $\alpha$ があるとすると、入力端27の電圧 $V_A$ 、入力端子32の電圧 $V_B$ 、出力端36の電圧 $V_C$ の関係は次式で表わせる。

## 【0008】

【数1】

$$V_c = V_A \cdot \frac{R_2}{R_1} - V_A \cdot \frac{R_4}{R_3 + R_4} \cdot \frac{R_1 + R_2}{R_1}$$

従って

$$R_1 = R(1 \pm \alpha), R_2 = R(1 \mp \alpha), R_3 = R(1 \mp \alpha), R_4 = R(1 \pm \alpha).$$

$$V_A = V_B \text{ とすると、} V_c \approx 4\alpha$$

となる。例えば、 $V_B = 5V$ で $\alpha = 0.1\%$ とすると、誤差は最大で $50 \times 0.1\% \times 4 = 20mV$ となる。このように大きな誤差が生じるため、微小電流の測定には各抵抗素子29, 33~35として、著しく高精度のものを必要とし、高価なものとなり、かつ、演算増幅器やAD変換器の誤差もそれぞれ補正する必要がある。

#### 【0009】

【課題を解決するための手段】この発明によればファンクション試験時のテストパターンを被試験IC素子へ供給するドライバの出力側に電流検出抵抗素子が直列に挿入され、その電流抵抗素子の両端間に第1スイッチが接続され、通常のファンクション試験時には、この第1スイッチにより電流検出抵抗素子が短絡状態とされ、被試験IC素子に流れ込む微小電流、例えばCMOSデバイスの入力リークがあるか否か、や大きさを測定する場合は、第1スイッチがオフとされ、電流検出抵抗素子の両端の各電圧が第2、第3スイッチを通じて順次AD変換器へ供給されて、それぞれの電圧値が測定され、これら両電圧値の差から電流検出抵抗素子を流れた電流、つまり、被試験IC素子の入力微小電流が求められる。

#### 【0010】

【発明の実施の形態】図1にこの発明の実施例を示し、図3Aと対応する部分に同一符号を付けてある。この実施例においては、ドライバ13の出力側に電流検出抵抗素子21が直列に挿入され、その電流検出抵抗素子21の両端間にスイッチ41が接続され、また電流検出抵抗素子21の両端はそれぞれスイッチ42, 43を通じて、ブロック選択用のスイッチ24-1~24-nの対応するものの各1端に接続され、ブロック選択用スイッチ24-1~24-nの各他端はバッファ回路44を通じてAD変換器45に接続され、AD変換器45の変換出力データはデータメモリ46に記憶される。

【0011】ドライバ13の出力電圧 $V_0$ は所要の試験の範囲内で任意の電圧に変更することができ、またその設定された電圧のテストパターンを被試験IC素子11へ印加することができる。ドライバ13の出力電圧 $V_0$ が所要の値になるように設定し、この状態で図2Aに示すようにスイッチ14をオンとし、図2E, Fに示すようにスイッチ42, 43をオフとし、図2Bに示すようにテストパターン48を出力し、図2Cに示すようにスイッチ41をオンにて被試験IC素子11へ供給され、これによりファンクション試験が行われる。

【0012】例えばCMOSデバイスよりなる被試験IC素子11の微小入力電流や入力リーク電流を測定する

場合は図2Cに示すようにスイッチ41をオフとし、またパターン発生器(49)は休止状態又はループ状態とし、設定電圧 $V_0$ が継続的に出力され、図2Dに示すようにブロック選択スイッチ24-1をオンにし、このオンの前半で図2Eに示すようにスイッチ42をオンとし、後半でスイッチ43をオンとし、つまりブロック12-1の電流検出抵抗素子21の各一端の電圧をAD変換器45へ印加し、その変換デジタルデータ $V_{1a}$ ,  $V_{1b}$ が図2Gに示すように得られ、これらはメモリ46に記憶される。

【0013】次に、ブロック選択スイッチ24-2をオンにして、ブロック12-2の電流検出抵抗素子21の両端の電圧をそれぞれデジタルデータ $V_{2a}$ ,  $V_{2b}$ としてメモリ46に取込む。以下同様にしてブロック12-nの電流検出抵抗素子21の両端の電圧をデジタルデータ $V_{na}$ ,  $V_{nb}$ としてメモリ46へ取込み終ると、メモリ46を読み出し(図2H)、各ブロック12-1~12-nにおける各電流検出抵抗素子21の両端の電圧の差 $V_{1a} - V_{1b}$ , ...,  $V_{na} - V_{nb}$ をそれぞれ求め、これにより、各電流検出抵抗素子21を流れた電流値、つまり被試験IC素子11の各ピンごとの流入電流値(入力リーク電流値)と対応した値を得る。これらの値 $V_{1a} - V_{1b}$ , ...,  $V_{na} - V_{nb}$ 、自体あるいはこれらの値がそれぞれ所定値以下か否か、つまり入力リークの有無を試験結果として出力する。以上の各スイッチのオンオフ制御は例えばパターン発生器49から制御信号50を得てスイッチ制御回路51で図2D, E, F, Gの制御信号を得るようにすればよい。

【0014】なお電流検出抵抗素子21における電圧降下が大きく、被試験IC素子11が正常動作しないおそれがある場合は、図1に示すように、電流検出抵抗素子21と並列に互いに逆極性のダイオード51, 52を接続して、一定の電圧降下におさえるようにすればよい。ただしこの場合は、被試験IC素子11の入力電流値は測定できないが、入力リーク電流があるか否かの判定を行うことができる。

#### 【0015】

【発明の効果】以上述べたようにこの発明によれば、印加電圧発生系に、誤差要因となる増幅器19(図3A)が存在しない。また電流検出抵抗素子の両端間電圧を差動増幅器23(図3B)を用いないため、同相信号除去比誤差が発生するおそれがない。

【0016】AD変換器25は、電流検出抵抗素子の各端の電圧を測定し、その両電圧の差を求めるから、変換

特性の直線性が十分であればよく、誤差補正の必要はない。つまり固定誤差が含まれていても問題はない。更にファンクション試験中に、そのファンクション試験で設定した出力電圧  $V_0$  をそのまま使用するため、特別のセットアップは必要としない。

【0017】先に述べたように差動増幅器23を用いないため、高精度、高価な部品を、各ピン（ブロック）ごとに必要としないため、全体として可成り安価に、かつ

小形に作ることができる。

【図面の簡単な説明】

【図1】この発明の実施例を示すブロック図。

【図2】この発明の動作を説明するためのタイムチャート。

【図3】従来のICテストの電圧印加電流測定部を示すブロック図、Bはその差動増幅器23の具体例を示す回路図である。

【図1】

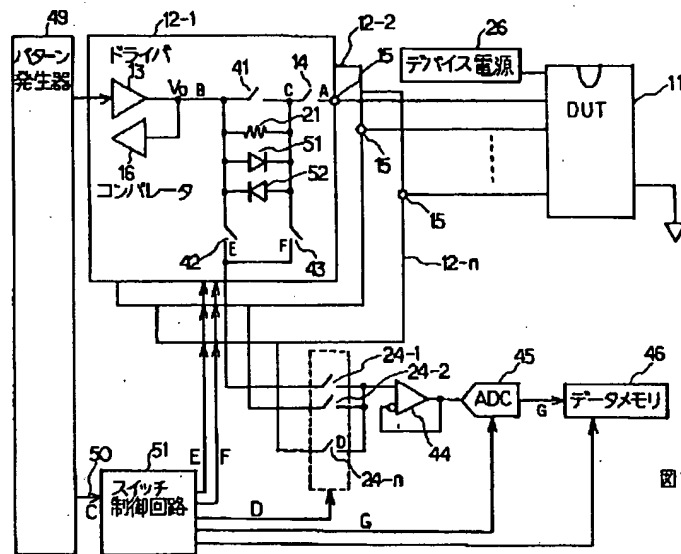


図1

【図2】

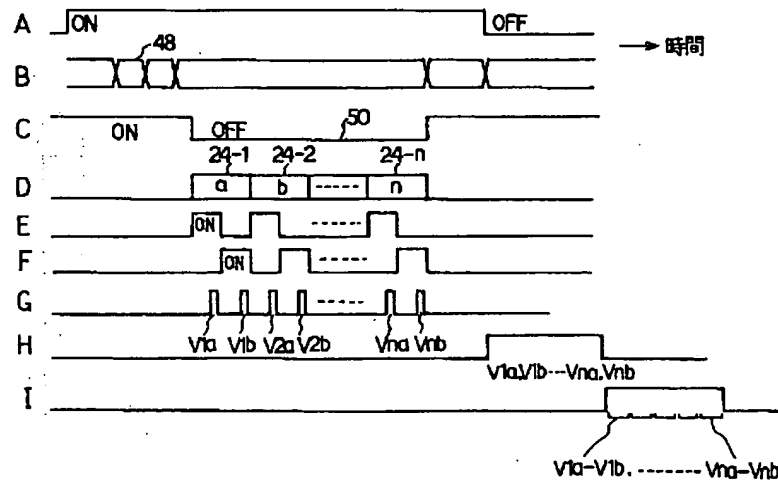


図2

【図3】

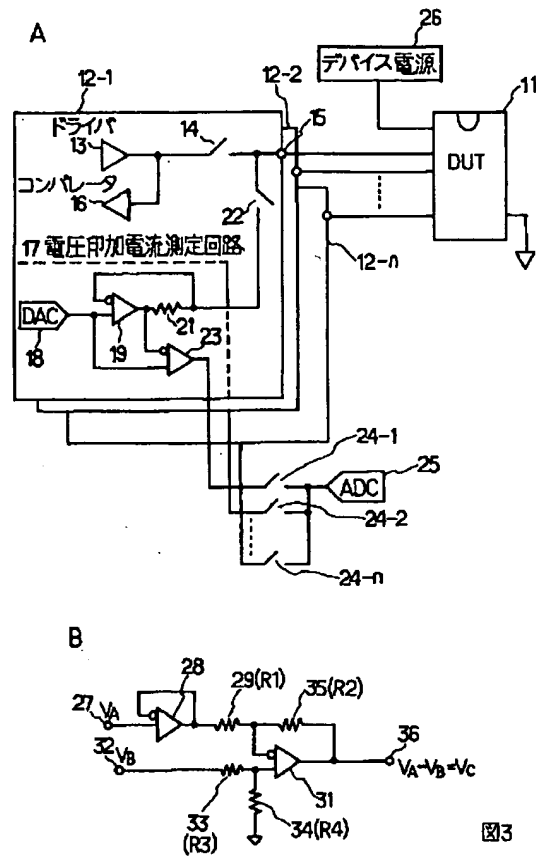


図3